

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 7 日 (07.10.2004)

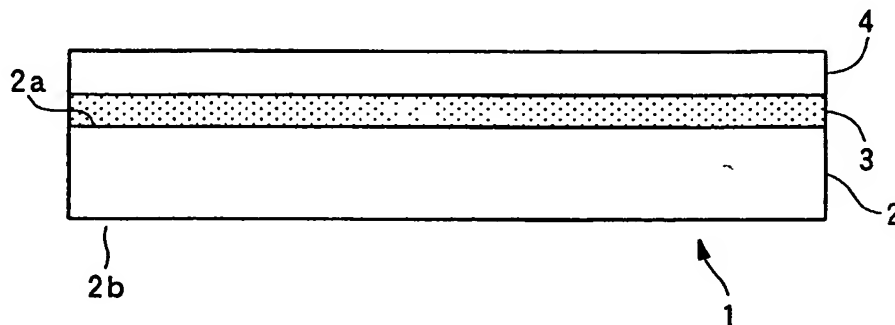
PCT

(10) 国際公開番号
WO 2004/086488 A1

- (51) 国際特許分類⁷: H01L 21/322, 21/20 (74) 代理人: 木村 高久, 外(KIMURA, Takahisa et al.); 〒1040043 東京都中央区湊 1 丁目 8 番 1 1 号 千代ビル 6 階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/004167
- (22) 国際出願日: 2004 年 3 月 25 日 (25.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-085089 2003 年 3 月 26 日 (26.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): コマツ電子金属株式会社 (KOMATSU DENSHI KINZOKU KABUSHIKI KAISHA) [JP/JP]; 〒2540014 神奈川県平塚市四之宮 3 丁目 2 5 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 自見 博志 (JIKEN, Hiroshi) [JP/JP]; 〒2540014 神奈川県平塚市四之宮 3 丁目 2 5 番 1 号 コマツ電子金属株式会社内 Kanagawa (JP). 那須 悠一 (NASU, Yuuichi) [JP/JP]; 〒2540014 神奈川県平塚市四之宮 3 丁目 2 5 番 1 号 コマツ電子金属株式会社内 Kanagawa (JP). 増田 剛 (MASUDA, Takeshi) [JP/JP]; 〒2540014 神奈川県平塚市四之宮 3 丁目 2 5 番 1 号 コマツ電子金属株式会社内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
— 補正書・説明書
- 補正されたクレーム・説明書の公開日: 2004 年 12 月 16 日
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR EPITAXIAL WAFER

(54) 発明の名称: 半導体エピタキシャルウェーハ



(57) Abstract: Multiple epitaxial layers are grown on the front side of a p⁺ silicon substrate and no layers are grown on the other side. Among the multiple epitaxial layers the one in contact with the silicon substrate is a first p⁺ epitaxial layer. Since the epitaxial layer is in contact with the p⁺ layer, gettering can be efficiently done also in a low-temperature device manufacturing process, thereby improving the manufacturing yield of an epitaxial wafer. Therefore the manufacturing cost of an epitaxial wafer is reduced.

[続葉有]



(57) 要約:

P⁻のシリコン基板の表面側に複数のエピタキシャル層を積層し、裏面側には何ら積層しない。複数のエピタキシャル層のうちシリコン基板と接するエピタキシャル層をP⁺の第1エピタキシャル層にする。このようにエピタキシャル層にP⁺層を近接することによって、低温の素子製造プロセスにおいてもゲッタリングを効率的に行うことができ、エピタキシャルウェーハの製造歩留まりを向上させることができる。したがってエピタキシャルウェーハの製造コストが低減する。

補正書の請求の範囲

[2004年8月13日 (13.08.04) 国際事務局受理：出願当初の請求の範囲 1-4 は取り下げられた；新しい請求の範囲 5-10 が加えられた。]

1. (削除)
2. (削除)
3. (削除)
4. (削除)
5. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、
前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、
前記複数層のエピタキシャル層のうちの何れかのエピタキシャル層の不純物濃度が、耐ラッチアップ性と高周波数適応性を有する程度であり且つ前記半導体基板及び他のエピタキシャル層の不純物濃度よりも高濃度であること
を特徴とする半導体エピタキシャルウェーハ。
6. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、
前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、
前記複数層のエピタキシャル層のうちの何れかのエピタキシャル層の不純物濃度が、ゲッタリングサイトが形成される程度であり且つ前記半導体基板及び他のエピタキシャル層の不純物濃度よりも高濃度であって、
前記半導体基板の不純物濃度が、当該半導体基板からの不純物の放出が抑制される程度であること
を特徴とする半導体エピタキシャルウェーハ。
7. (追加) 前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度が前記半導体基板及び他のエピタキシャル層の不純物濃度よりも高濃度であること
を特徴とする請求の範囲 5 乃至 6 記載の半導体エピタキシャルウェーハ。
8. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、
前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、

前記複数層のエピタキシャル層のうちの高濃度のエピタキシャル層の不純物濃度が、 $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) であって、

前記半導体基板の不純物濃度が、 $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) であること

を特徴とする半導体エピタキシャルウェーハ。

9. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、

前記複数層のエピタキシャル層のうちの高濃度のエピタキシャル層の抵抗率が $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) であって、

前記半導体基板の抵抗率が $1 \sim 100$ ($\Omega \cdot \text{cm}$) であること

を特徴とする半導体エピタキシャルウェーハ。

10. (追加) 前記複数層のエピタキシャル層のうちの高濃度のエピタキシャル層はボロンを含むこと

を特徴とする請求の範囲5乃至9記載の半導体エピタキシャルウェーハ。

条約 19 条に基づく説明書

(1) 請求の範囲 5 に係る発明によると、耐ラッチアップ性と高周波数適応性（高周波ノイズ低減）を有するエピタキシャル層の不純物濃度は、半導体基板及び他のエピタキシャル層よりも高濃度になります。高濃度のエピタキシャル層の不純物濃度が耐ラッチアップ性と高周波数適応性を有する程度であると、そのエピタキシャル層は同時にゲッターリングサイトとしても機能します。つまりエピタキシャル層が高濃度でありその濃度が所定範囲にあると、エピタキシャルウェーハはゲッターリング機能と耐ラッチアップ性及び高周波数適応性とを両立します。

文献 1 には耐ラッチアップ性及び高周波数適応性に関しては何ら開示されていません。また文献 2 には耐ラッチアップ性と高周波数適応性を有する程度不純物濃度であるエピタキシャル層が記載されていません。

(2) 請求の範囲 6 に係る発明によると、ゲッターリングサイトが形成されたエピタキシャル層の不純物濃度は半導体基板及び他のエピタキシャル層よりも高濃度になります。エピタキシャルウェーハをこのような構造にすると、エピタキシャルウェーハがゲッターリング機能を有することは勿論のこと、高周波数適応性（高周波ノイズ低減）、耐ラッチアップ性に関して優れた特性を有する、といった効果が期待できます。

文献 1 には半導体基板の不純物濃度と、ゲッターリングサイトが形成されたエピタキシャル層及び他のエピタキシャル層の不純物濃度との高低関係は記載されていません。また文献 2 にはゲッターリングサイトが形成されたエピタキシャル層が記載されていません。

(3) 請求の範囲 8 に係る発明によると、高濃度であるエピタキシャルウェーハの不純物濃度が $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) になります。このような濃度によると、エピタキシャルウェーハはゲッターリング機能と耐ラッチアップ性及び高周波数適応性とを両立します。

文献 1 で開示されたエピタキシャル層の不純物濃度 (10^{20} (atoms/cm³) 以上) ではゲッターリング機能と耐ラッチアップ性及び高周波数適応性とを両立できません。また文献 2 にはエピタキシャル層の不純物濃度自体の記載がありません。

なお請求の範囲 9 は、ゲッターリング機能と耐ラッチアップ性及び高周波数適応性とを両立できる抵抗率を示すものです。